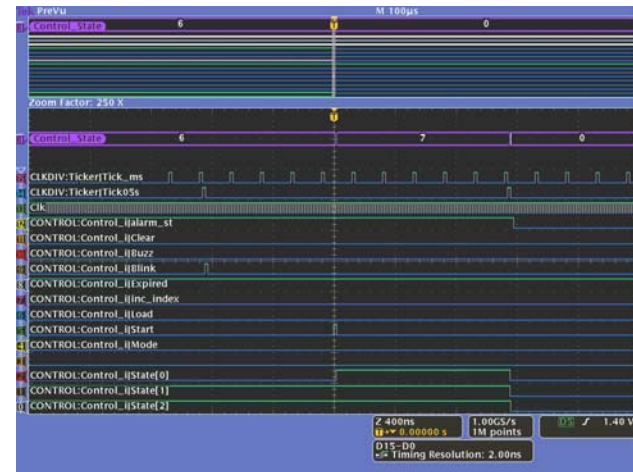


MSO4000简化FPGA测试和调试



混合信号的环境

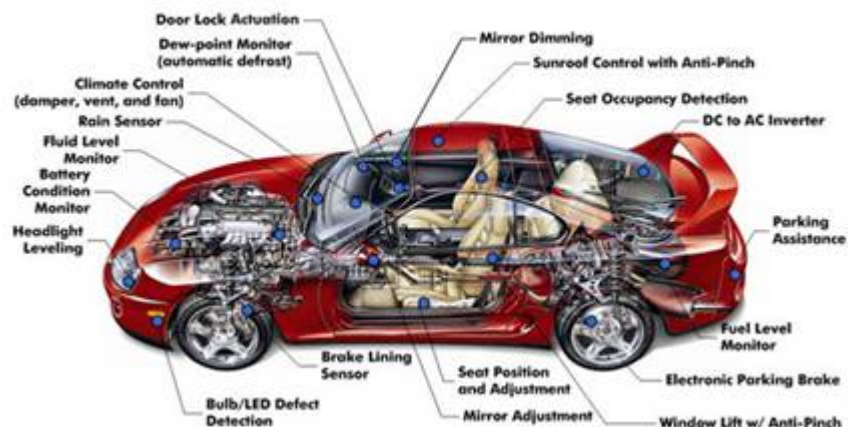
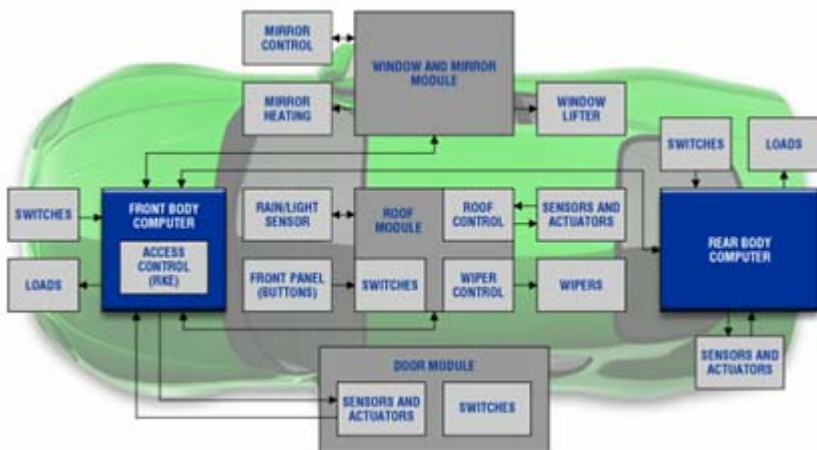
▶ 嵌入系统无处不在！



基本上今天的每一个电子产品都是一个嵌入系统！

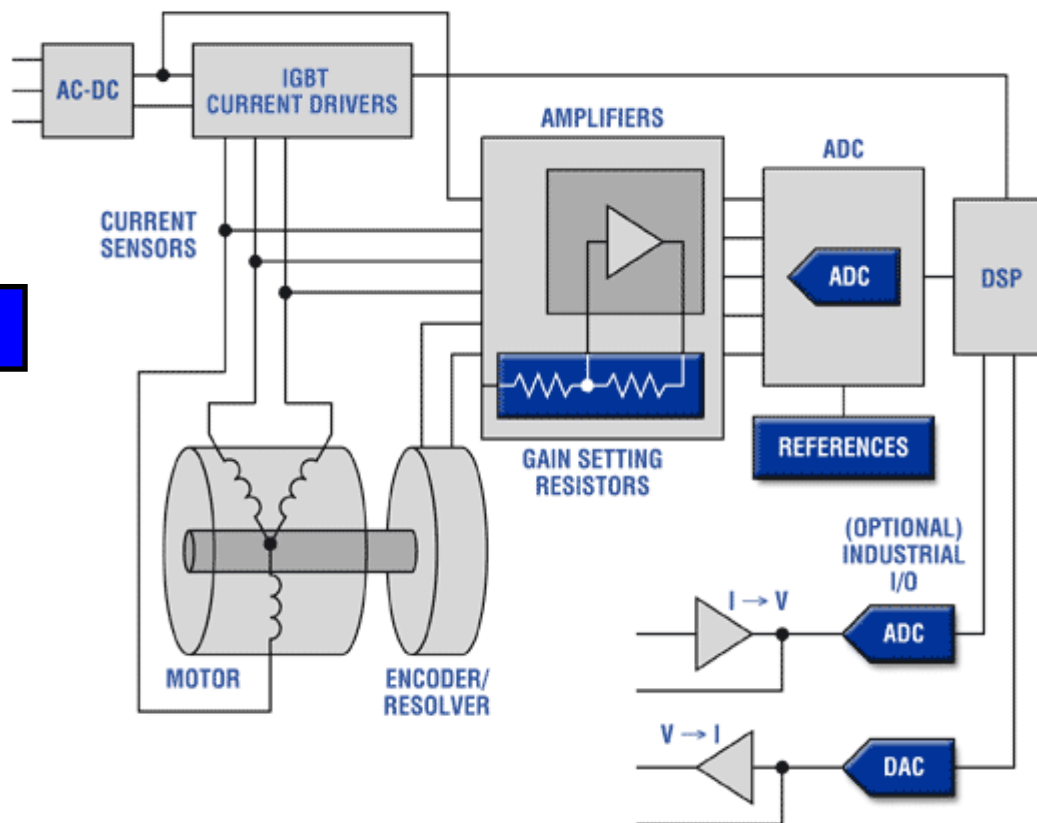
混合信号的问题

- “混合信号技术需要真正的工程天才，将模拟数字电路集成在一起，设计出满足功能和性能要求的产品。”



混合信号的实例

Motor Control Overview

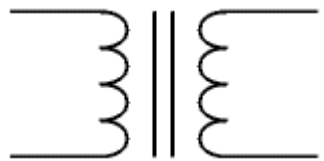
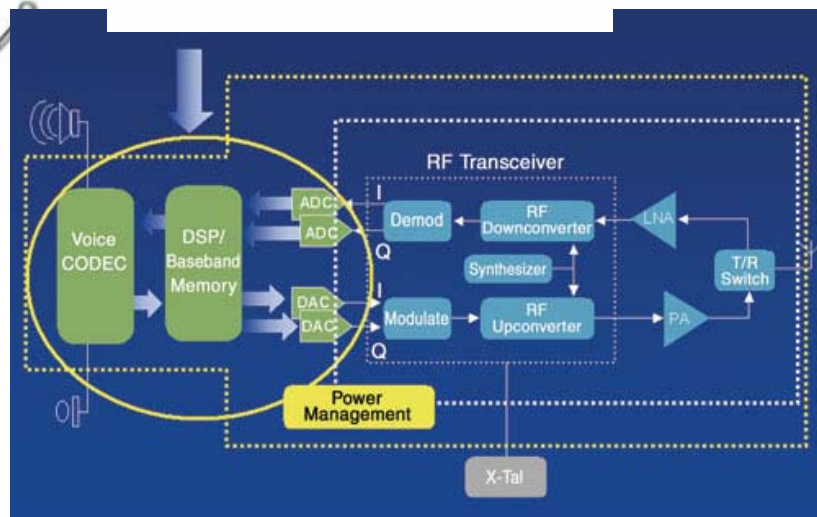
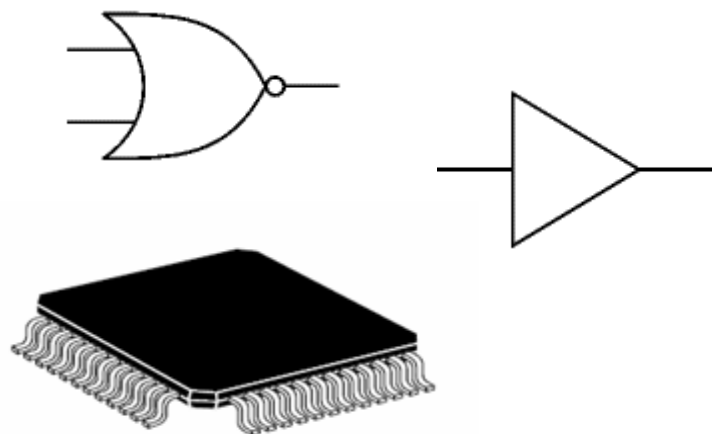


模拟信号测量

数字信号
测量

嵌入式系统设计的技术构成

- A/D, D/A, DSP, FPGA
- 闪存
 - NAND, NOR
- 嵌入式CPU系统
- 电源
- 并行总线
- 串行总线
 - I²C, SPI, RS-232, CAN等



注意: 以上技术包括了模拟, 串行和数字技术
混合信号

嵌入式系统设计调试的挑战

- 混合信号设计
 - 绝大部分嵌入式系统设计采用混合技术
 - 工程师不能预测将出现哪种漏洞（模拟和数字）
- 多条总线相关
 - 硬件和软件工程师通常会追踪硬件中的代码执行工作
 - 需要监测微处理器的地址总线和多条串行总线
 - 如果没有通用16个数字通道，解决问题所需的时间很长
- 性能需求
 - 市面上常用技术的性能不断提高
 - 60MHz和100MHz已无法满足当前需求
- 长捕获时间
 - 从并行技术转向为串行技术时需要捕获更多的时间来调试设计
 - 典型的并行总线读写操作一般只发生在几个时钟周期内
 - 串行总线上的同一业务则要求长得多的捕获时间窗口
 - 需要充足的定时分辨率才能解码分析

嵌入式系统设计调试的挑战

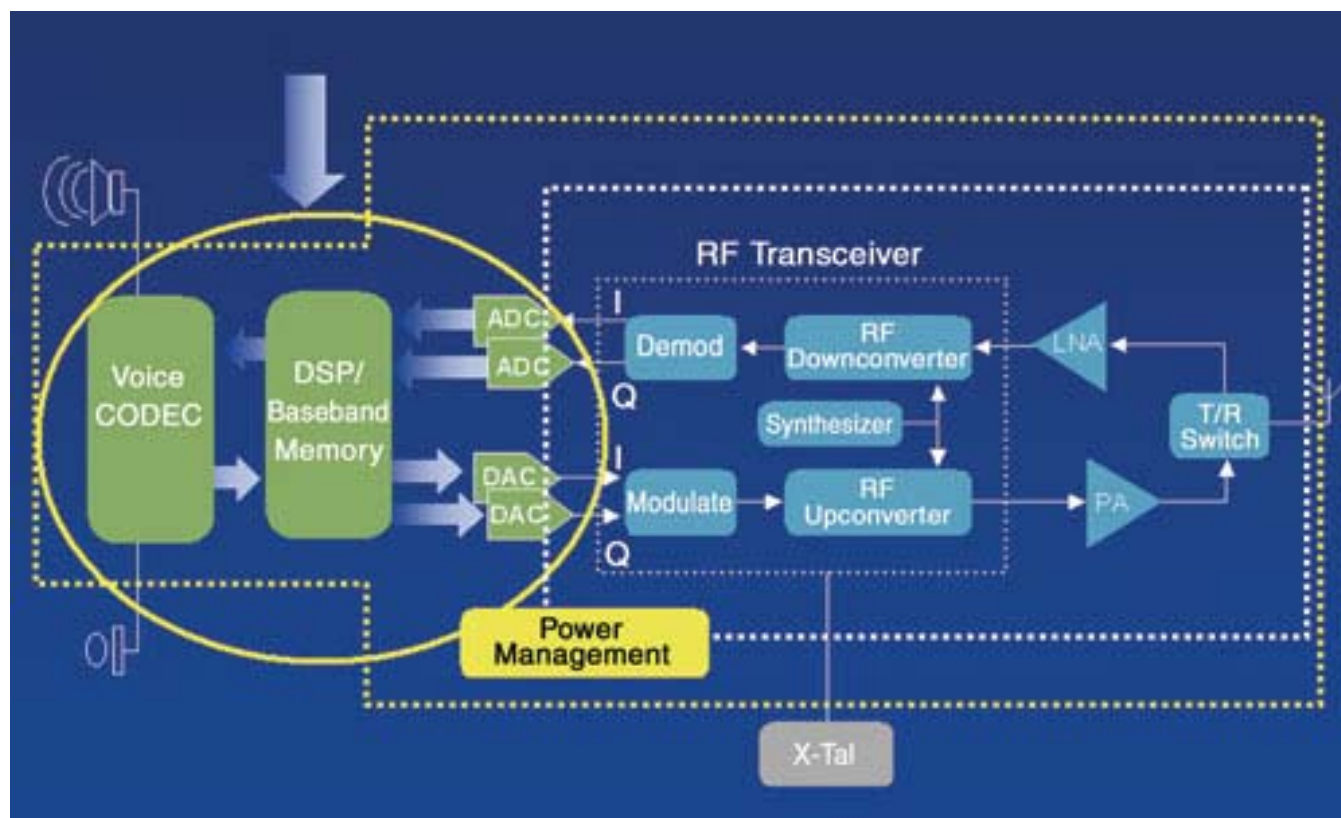
- 定时分析
 - 定时测量是数字设计工程师进行的最常见的测量
 - 余量测试是检验时间关系最常见的原因
 - 建立/保持时间测量
 - 建立/保持时间违规的原因很多，如系统极限、端接不当或串扰等
 - 很难确定在哪个位上发生违规，工程师需要能够监测整个总线
 - 工程师希望足够的分辨率测量和分析违规
- 毛刺
 - 毛刺是工程师棘手的一个常见问题
 - 毛刺很难触发采集
 - 工程师希望使用工具简便的找到毛刺
- 连接被测设备DUT
 - 更高的集成度和小型部件正迫使工程师处理探测问题
 - 通常工程师会在电路板上为关键信号建立接入点
 - 在没有提供接入时，蓝线会焊接起来，使用抓斗夹进行连接

FPGA设计调试的挑战

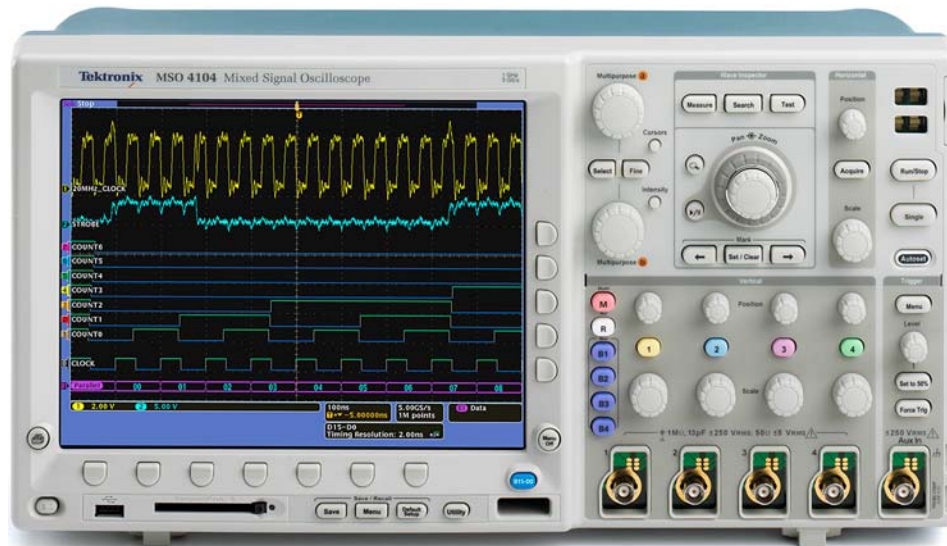
- **FPGA的设计速度、尺寸和复杂度明显增长**
 - 整个设计流程中的验证和调试部分成为当前**FPGA**系统的关键部分
- **获得FPGA内部信号有限、FPGA封装和PCB电气噪声**
 - 设计调试和检验变成设计周期中最困难的流程
- **高速并行总线接口正迅速向高速串行接口方向发展**
 - **FPGA**也不例外，每一条物理链路的速度从**600Mbps**到高达**10Gbps**
 - 高速**IO**的测试和验证更成为传统专注于**FPGA**内部逻辑设计人员的巨大挑战
- **需要新的调试和测试工具，帮助调试设计，同时支持在FPGA上全速运行**

嵌入式系统设计调试

- 真正的混合信号调试
 - 模拟和数字关联性测试
 - 串行数据和并行数据同步数据解码
 - 多逻辑家族系统分析



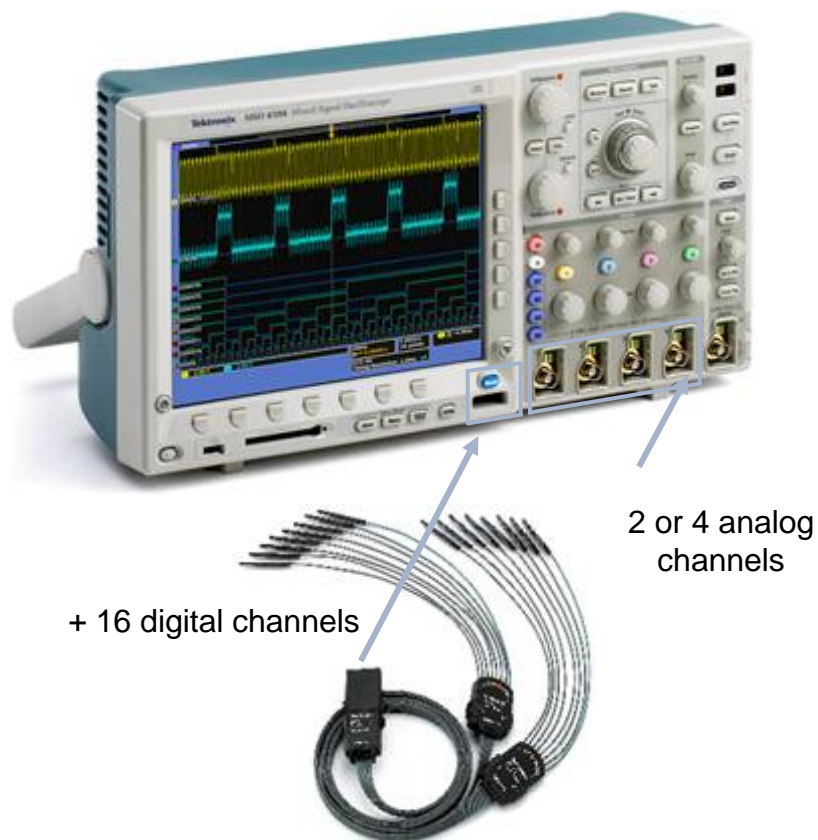
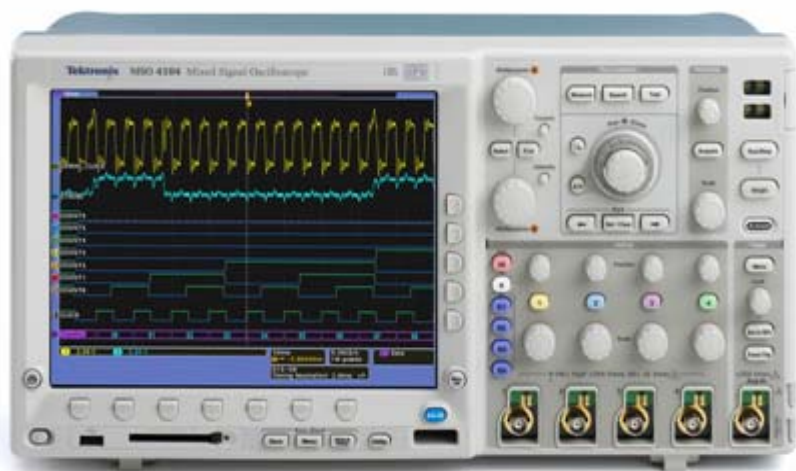
介绍MSO4000系列 混合信号示波器



嵌入式设计
首选全能调试工具

什么是MSO?

- MSO是一个具有额外16个数字通道并具备完整功能的数字示波器
- MSO的操作从根本上更像示波器而非逻辑分析仪



混合信号示波器的革命性产品

操作简单



同类产品最佳的
操作简便性

性能卓越



同类产品最高的
性能

MSO4000系列



提升您的调试
效率

介绍MSO4000系列

主要指标

Analog Characteristics	MSO4104	MSO4054	MSO4034	MSO4032
Analog Channels	4			2
Bandwidth	1 GHz	500 MHz	350 MHz	350 MHz
Max Analog Sample Rate	5 GS/s	2.5 GS/s		
Max Analog Record Length	10 M			
Digital Characteristics				
Digital Channels	16			
Max Main Digital Sample Rate	500 MS/s			
Max Main Digital Record Length	10 M			
Max MagniVu Sample Rate	16.5 GS/s			
Max MagniVu Resolution	60.6 ps			
Minimum Detectable Pulse Width	1.5 ns			

嵌入式设计首选全能调试工具

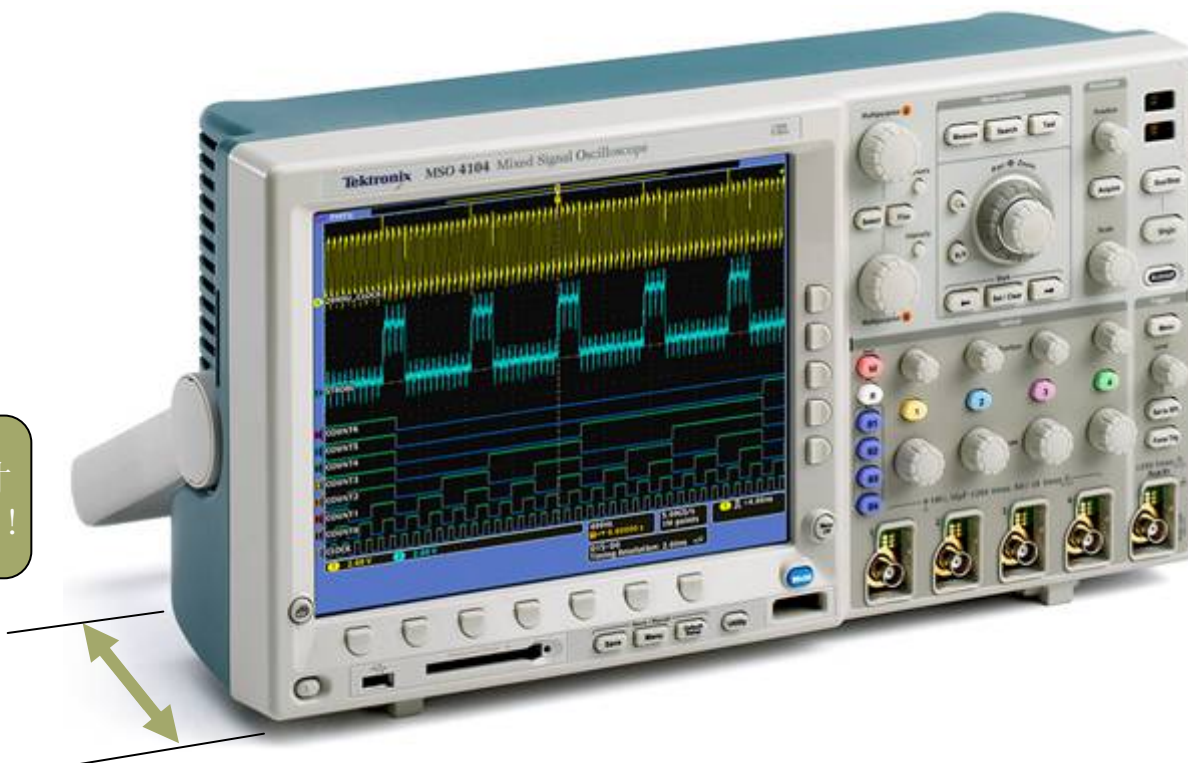
易用性 - 从设计上看

简便易用

泰克了解工程师的需求，因为我们也是工程师

- 超大XGA屏幕可以方便地显示4条模拟轨迹和16条数字轨迹
- 厚度小，最大限度地减少了工作台空间的占用

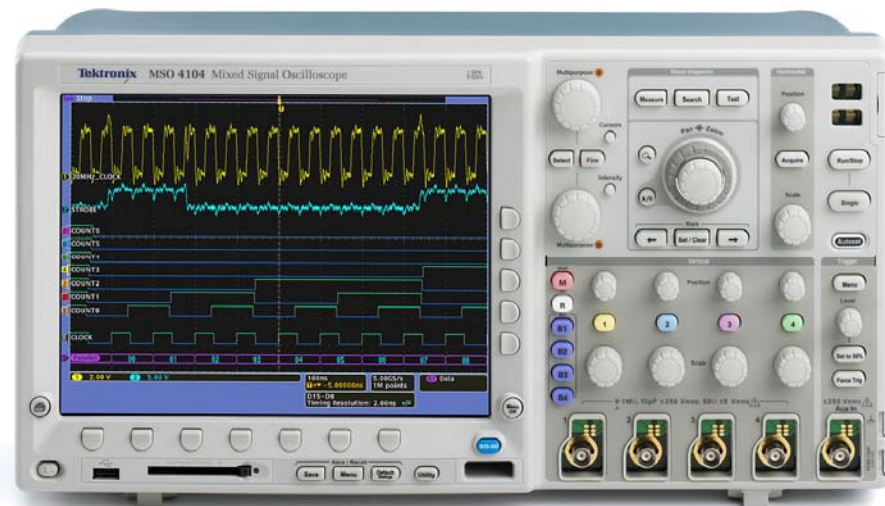
厚5.4英寸
(137毫米)!



操作方式与 工程师已经知道怎样使用的工具类似

简便易用

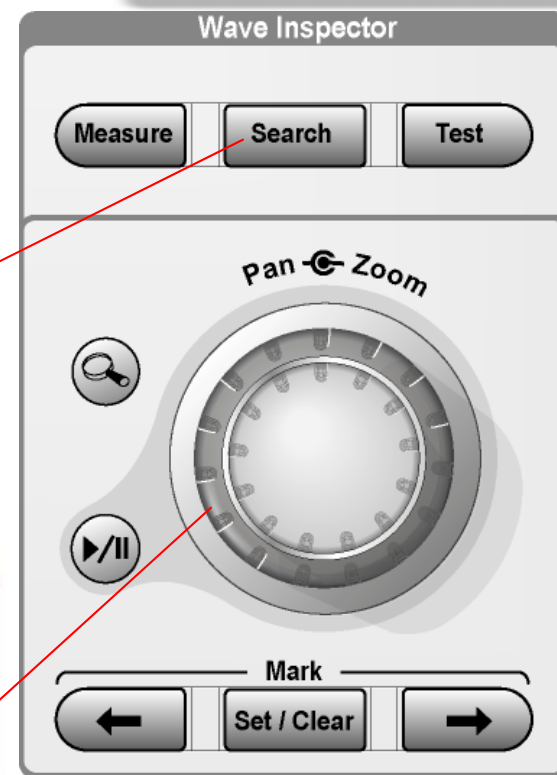
- 操作方式与示波器类似，增加了16条数字通道
- 全面集成数字通道
 - 采集
 - 触发
 - 串行总线和并行总线
 - 搜索



利用Wave Inspector 从浩瀚的数据海洋中寻找事件的线索

简便易用

- Wave Inspector 像 Google 一样去搜索，像 iPod 一样去使用
- 专用前面板控制功能：
 - 缩放
 - 平铺
 - 播放 / 暂停
 - 设置 / 清除标记
 - 在标记之间导航
 - 搜索和标记
- 强制外圈反馈
 - 旋转得越远，速度越快
 - 反向旋转旋钮，改变方向或减慢速度
 - 异常直观
- 大大改善了几乎每个客户都会关注的操作便捷性！

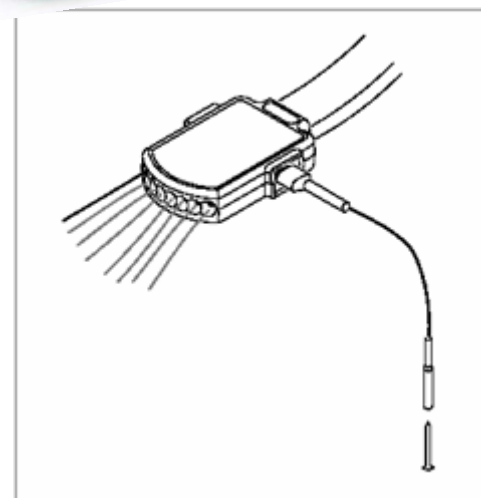
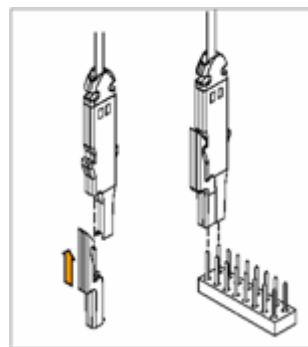
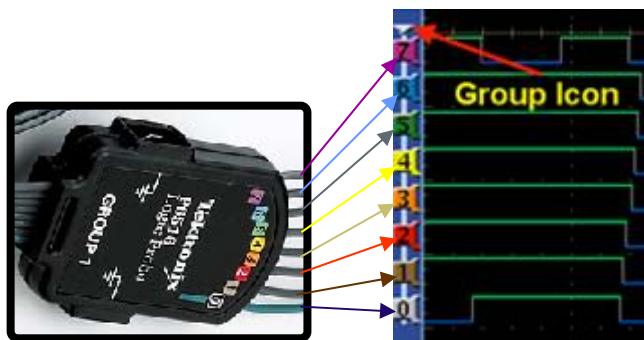


新型数字探头

简便易用

■ P6516数字探头

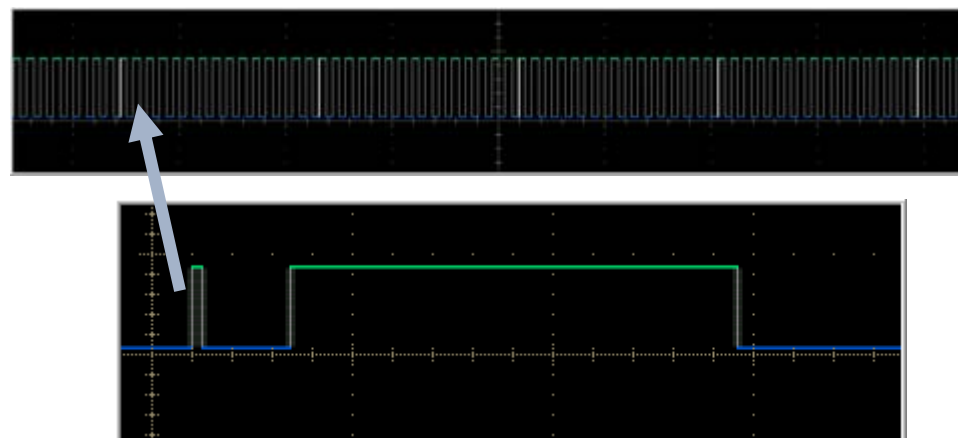
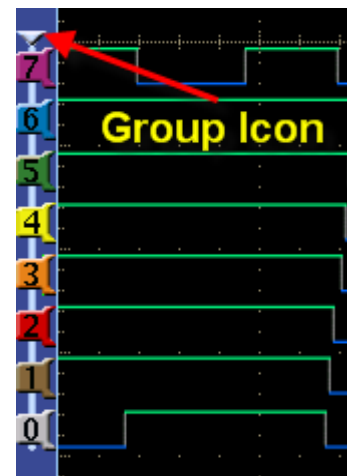
- 16条通道，两组、每组8条通道
- 每组中第一条同轴电缆的颜色是蓝色，识别简便
- 探头电阻色标与波形通道颜色相对应
- 新型探头头部设计
- 标准推进式铲状连接，用于公共接地
- 3 pF负荷



下一代数字波形显示

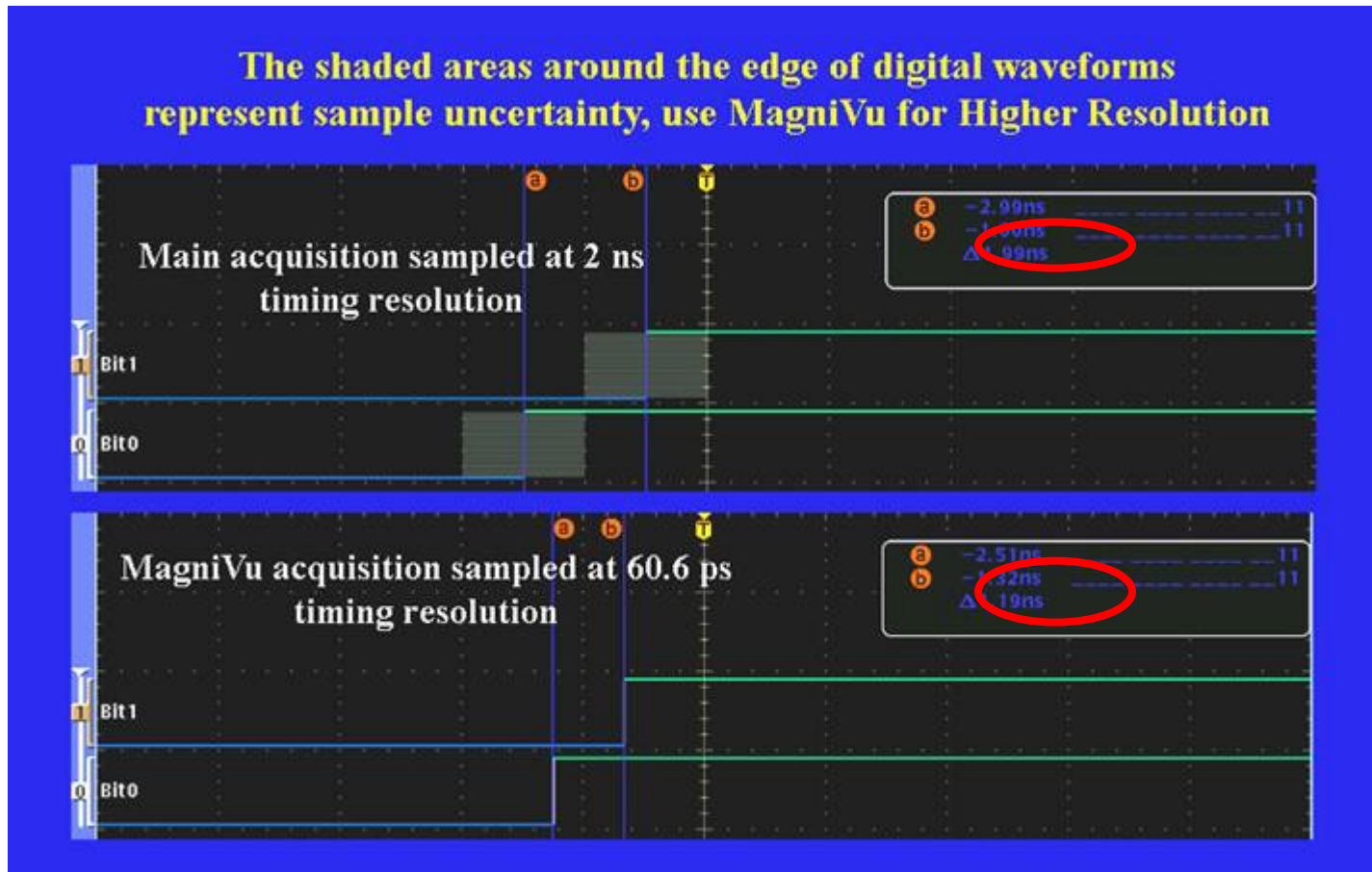
简便易用

- 逻辑状态高用**绿色**表示，逻辑状态低用**蓝色**表示
- 波形分组
 - 简化了在屏幕上定位数字波形的工作
 - 一次为整个组设置门限
- 加亮白色边沿向用户表明可以进行放大



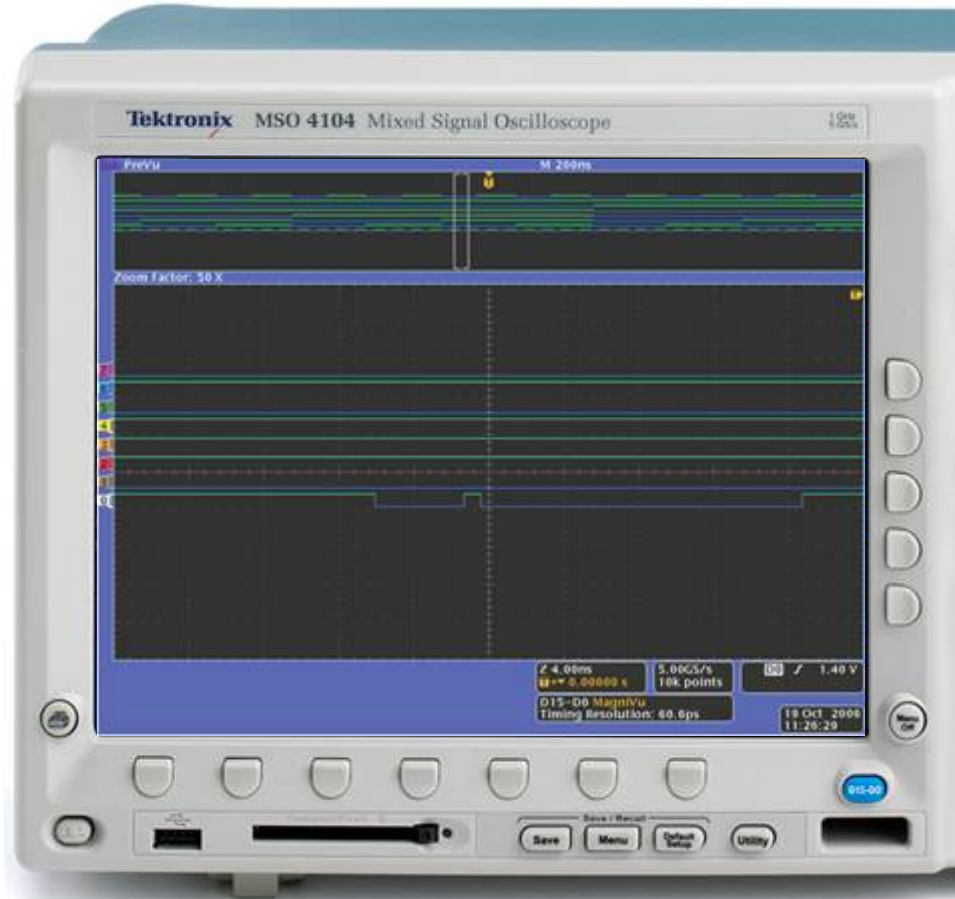
MagniVu- 世界最快的定时采集速度

- 16.5 GS/s (60.6 ps) 采样率，触发点周围 10k 样点
 - 业界第一台提供MagniVu技术的MSO
 - 数字通道采样速度比最近的竞争对手快大约8倍



每一通道10M记录长度

- 10M记录长度，所有通道，不受其它因素影响
- 捕获最多20条通道的长时间窗口
- Wave Inspector简化了长记录的导航、搜索和播放过程



其它厂家:

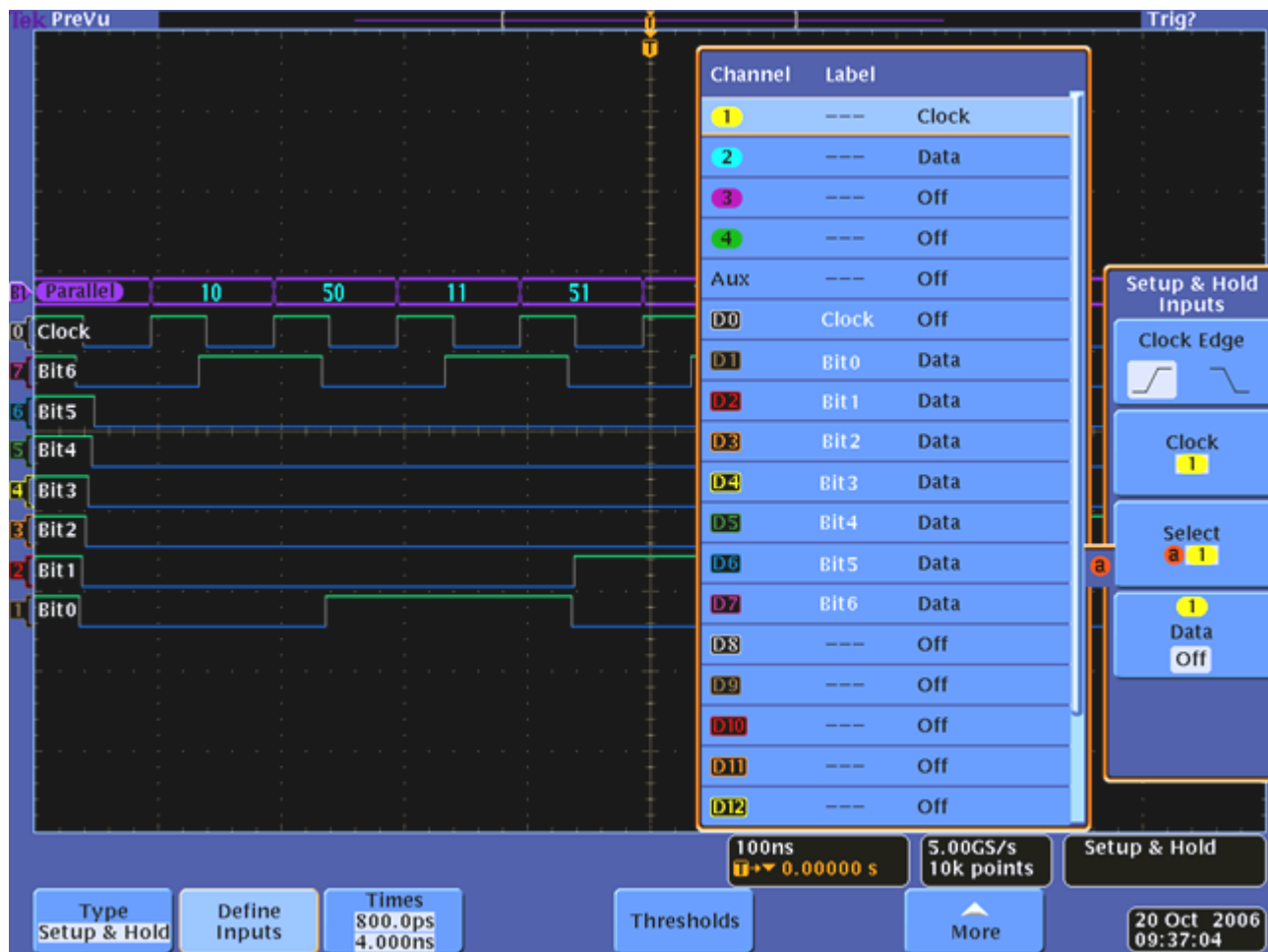
打开数字通道？ 记录长度自动减少一半甚至更多！

标准配置只是很短的记录长度，想要更长？加钱啦！

多通道建立时间和保持时间触发

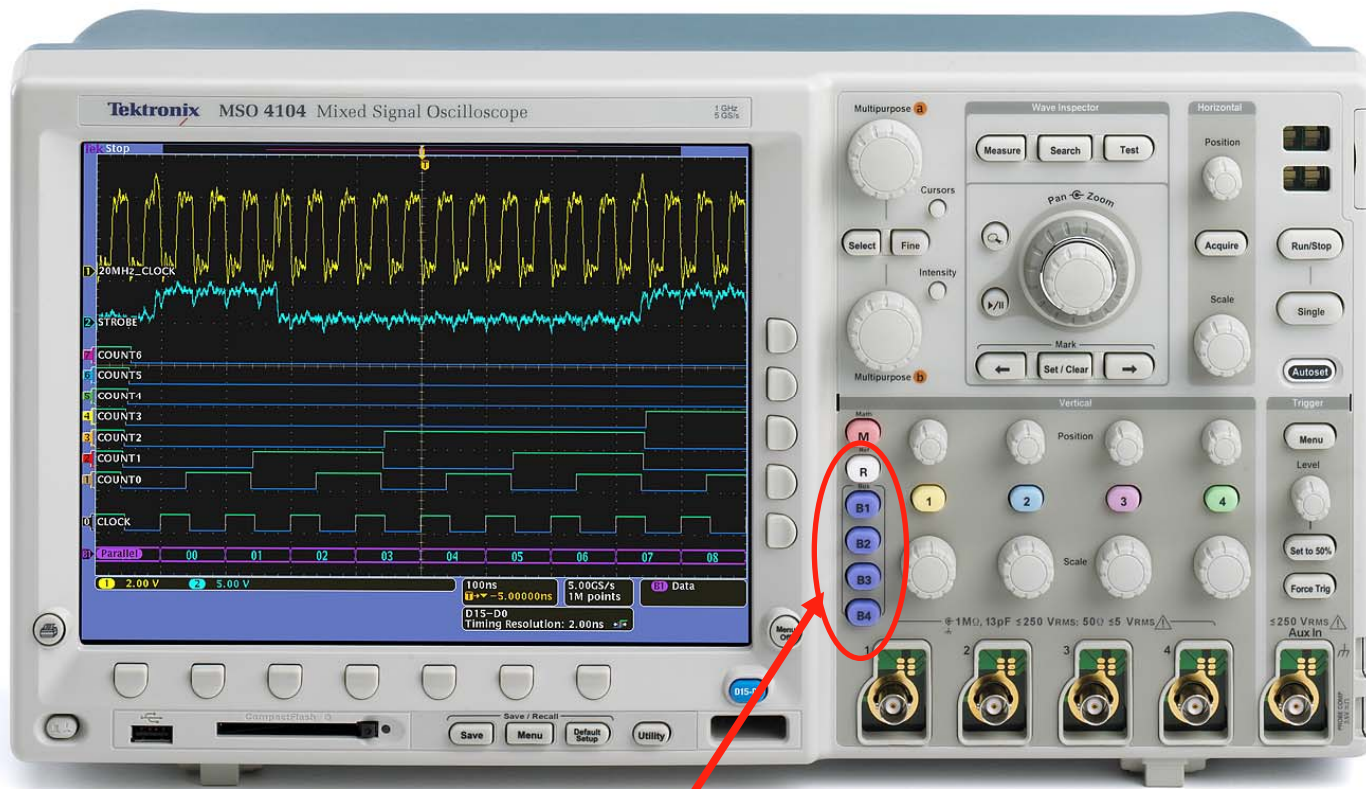
调试混合信号

- 触发多条通道中的建立时间/保持时间违规



最多支持4条总线

调试混合信号



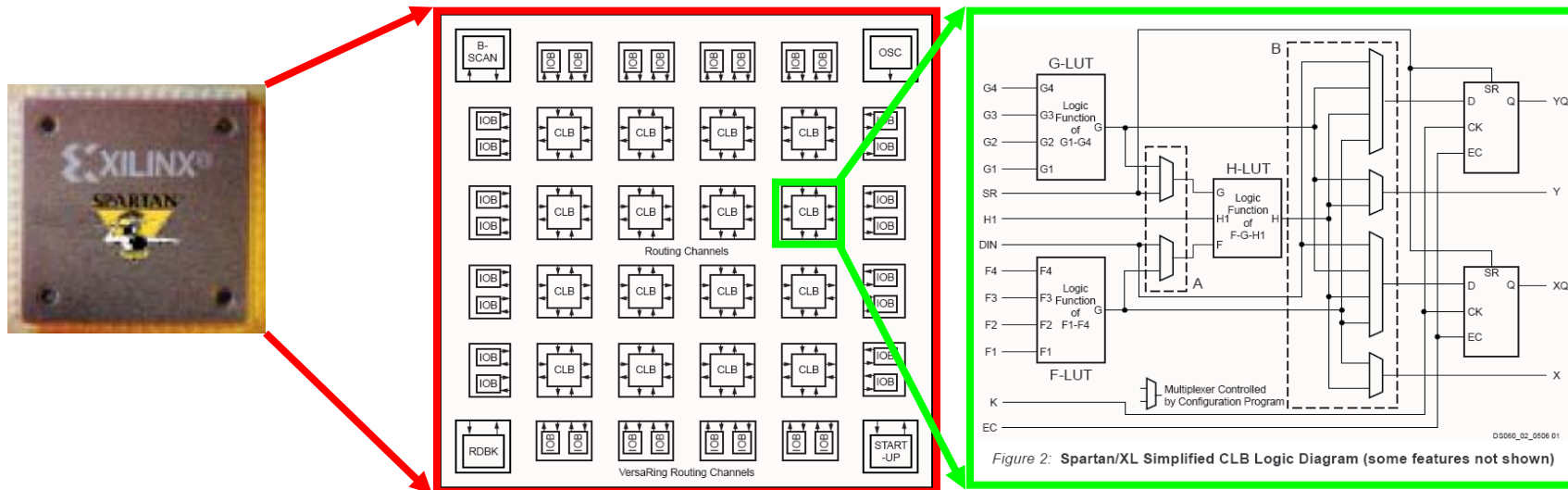
MSO4000可以显示4条串行总线或并行总线

DPO/MSO4000集成了更多的串行总线分析功能

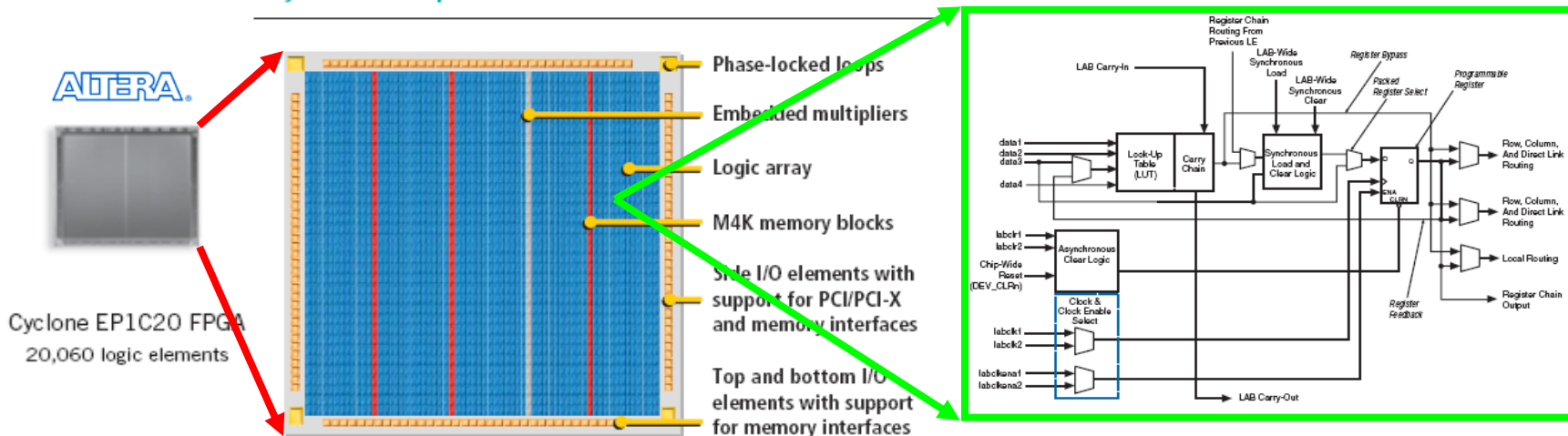
支持I²C, SPI, RS-232, RS-422, RS-485, UART, CAN, LIN, FlexRay 并行总线

经济的FPGA调试方案-----MS04000 全面支持FPGAView

调试混合信号

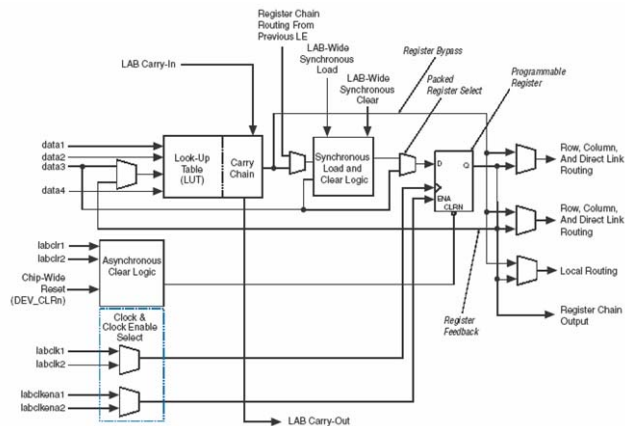
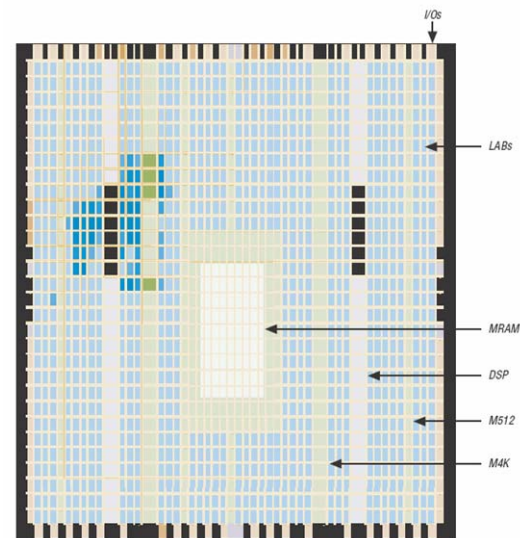


Cyclone II floorplan



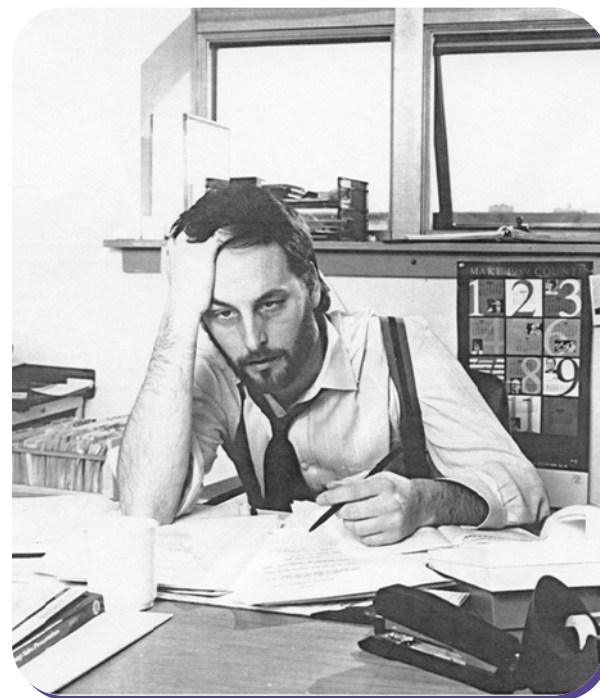
FPGA概述

- **FPGA – 现场可编程门阵列**
 - 由逻辑模块和电气程控互连组成的普通二维阵列
 - 用来实现特定的硬件功能
 - 可以根据需求改动和订制
- **在什么地方使用FPGA?**
 - 汽车/远程信息处理
 - 消费电子
 - 数据处理
 - 数字成像和视频
 - 嵌入式系统
 - 家庭网络
 - 工业仪器
 - 医疗应用
 - 军事/航空
 - 网络/通信
 - 超级计算
 - 无线通信



FPGA潜在问题

- 功能定义错误
 - 在FPGA上或系统级
- 功能系统交互问题
- 系统级定时问题
 - 异步事件
 - 实际环境交互，特别是快速交互
 - 很难仿真定时违规
- IC之间的信号保真度
 - 噪声, 串扰, 反射, 负荷, EMI
- 互连可靠性问题
 - 焊接界面, 连接器
- 电源问题
 - 瞬态信号和负荷变化
 - 高功耗
- 由于仿真不全面而没有发现的FPGA设计错误
 - 太复杂，不能覆盖100%代码
 - 耗费时间太长，不能实现和运行



FPGA调试挑战

- 设计检验已经成为一个关键瓶颈
 - 设计尺寸和复杂性提高
 - 获得内部信号受限
- 产品开发周期限制使调试时间缩短
 - 调试时间可能会占设计周期的50%以上
- 简单地查看外部针脚是不够的
- 在FPGA中增加调试电路影响着设计
 - 占用宝贵的芯片空间
 - 要求额外的时间
 - 可能会影响设计的定时性能
 - 接入通常使用芯片上稀缺的针脚
 - 可能很难测试板卡上的多个信号

FPGA设计流程

■ 设计阶段的任务

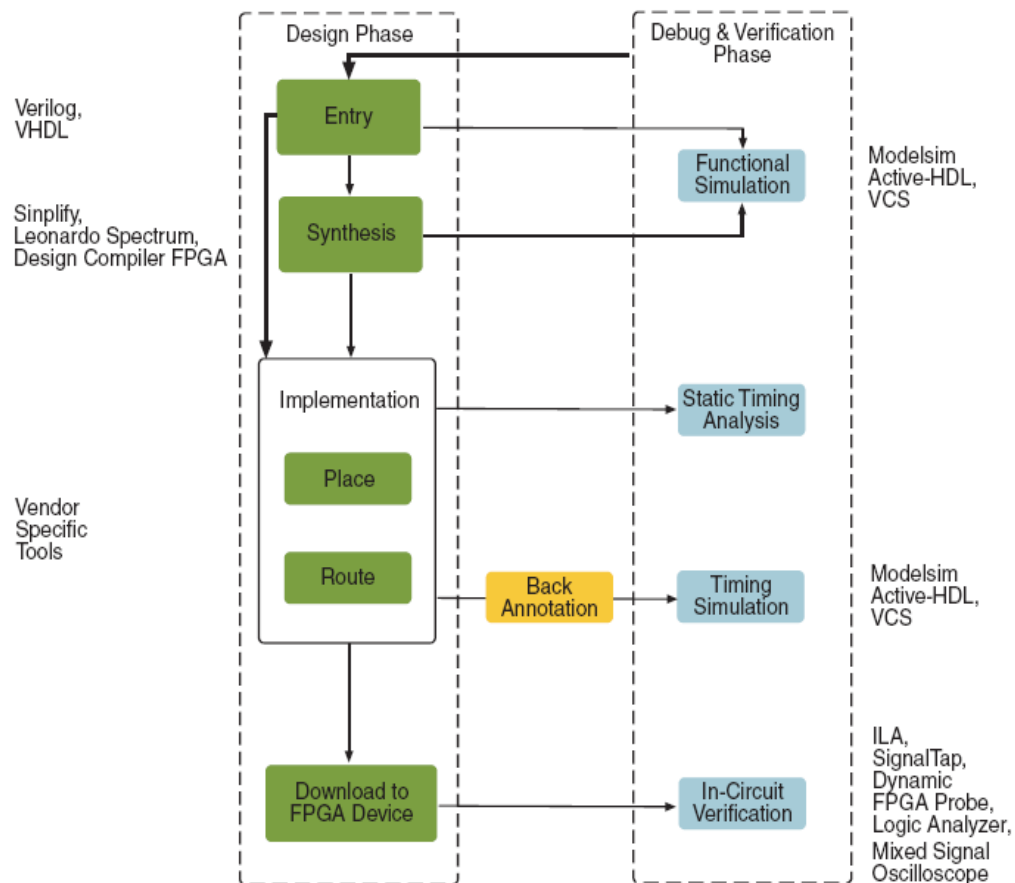
- 设计输入
- 设计实现
- 仿真

■ 调试和检验阶段

- 验证设计
- 校正发现的任何漏洞

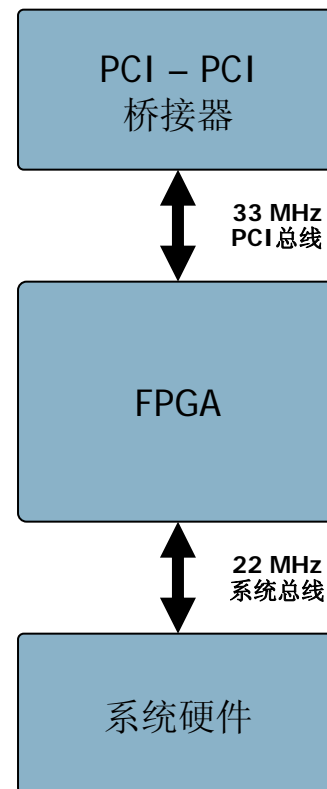
■ 调试和验证方法

- 仿真
- 在线检验



仿真

- 通过找到明显错误，仿真有助于缩短调试时间，但仿真不能找到所有问题!
 - 不能仿真异步事件
 - 很难仿真实际环境交互，特别是快速交互
 - 很难仿真定时违规
- 很难覆盖100%代码
- 仿真运行速度慢



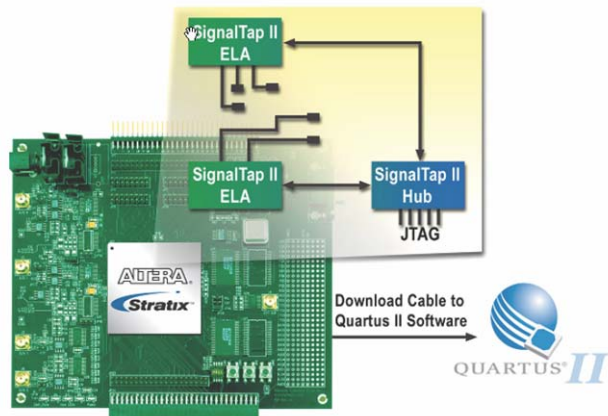
在线FPGA调试方法概述

■ 嵌入式逻辑分析仪

- 在设计中插入逻辑分析仪功能
 - 拥有触发和曲线存储资源
 - 使用FPGA存储器
- 实例：
 - SignalTap® II (Altera)
 - ChipScope™ ILA (Xilinx)
 - CLAM® (Actel)

■ 外部测试设备

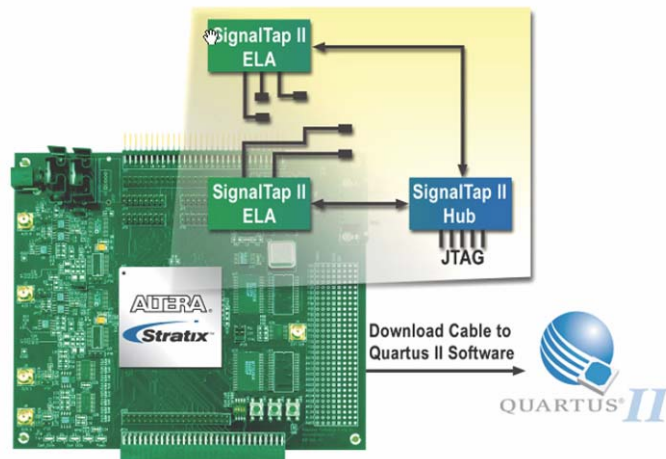
- 使用全功能测试设备
 - 把内部信号传送到FPGA针脚上
 - 使用示波器、MSO或逻辑分析仪观察信号
 - 使用FPGA的编程能力



嵌入式逻辑分析仪

SignalTap II / ChipScope ILA

- FPGA厂商提供综合逻辑分析仪(ILA)核心
 - SignalTap® II (Altera)
 - ChipScope™ ILA (Xilinx)
- 在设计中插入逻辑分析仪功能
 - 包含触发和曲线存储资源
 - 使用FPGA资源
 - 通过JTAG接入核心
 - 在FPGA厂商的查看软件中显示数据



优点

- 要求的针脚数量较少
 - 使用JTAG针脚
- 测试简单
 - 只需接上JTAG电缆即可
- 嵌入式逻辑分析仪核心的成本相对较低

缺点

- 核心尺寸限制了其在大型FPGA中的使用
- 设计人员必须使用内存存储曲线
 - 存储深度有限
- 只能在状态模式下运行，速度有限
 - 不能把FPGA曲线数据与其它系统曲线关联起来

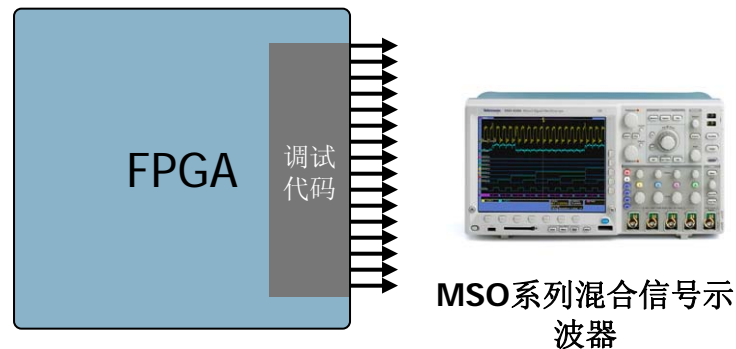
外部测试设备

混合信号示波器

- 在设计中插入自定义调试代码
 - 利用FPGA的编程能力
 - 可以把感兴趣的内部信号拷贝传送到输出引脚上，查看信号
- 可以在内部实现复杂的触发

优点

- MSO比示波器提供了更多的通道和更宽的逻辑触发
- MSO为数字信号提供了并行总线和事件表显示功能
- 可以使用很少的FPGA逻辑资源
- 不使用FPGA存储器
- 可以把FPGA信号与其它模拟或数字信号系统关联起来



缺点

- 在每次试验中，必须重新设计和编译调试代码
- 占用宝贵的FPGA门和引脚
- 查看复杂设计的能力在一定程度上受到引脚数量的限制
- 在MSO上必须手动更新信号名称和通道指配

选择适当的FPGA调试方法

特性	嵌入式逻辑分析仪	外部测试设备
采样深度		✓
调试时间问题		✓
相关		✓
性能		✓
触发功能		✓
输出引脚使用	✓	
采集速度	✓	✓

介绍一种更好的解决方案

FPGA实时逻辑调试解决方案

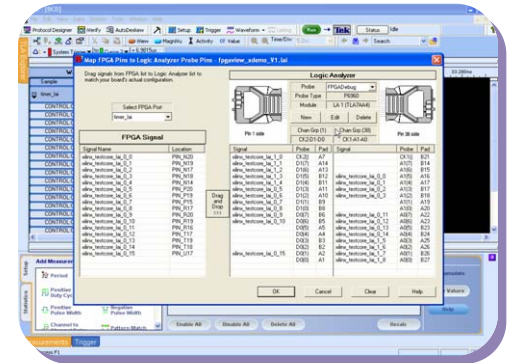
泰克和First Silicon Solutions (FS2)合作的结晶



支持所有泰克TLA系列逻辑分析仪和MSO系列混合信号示波器



支持全系列Xilinx和Altera FPGA



First Silicon Solutions开发的FPGAVIEW

FPGA实时逻辑调试解决方案

好处

- 可以实时调试FPGA
 - 适用于设计Xilinx和Altera FPGA的研发工程师
 - 允许设计团队查看Xilinx或Altera FPGA设计的内部运行情况
 - 允许把这些信号与其它板卡信号关联起来
- 提高工作效率，缩短调试时间
 - 随时切换内部测试点，不需要编译
 - 每个调试针脚调试多个内部信号
- 与其它调试方法相比，使用更简便，插入性更低！

FPGA实时逻辑调试解决方案

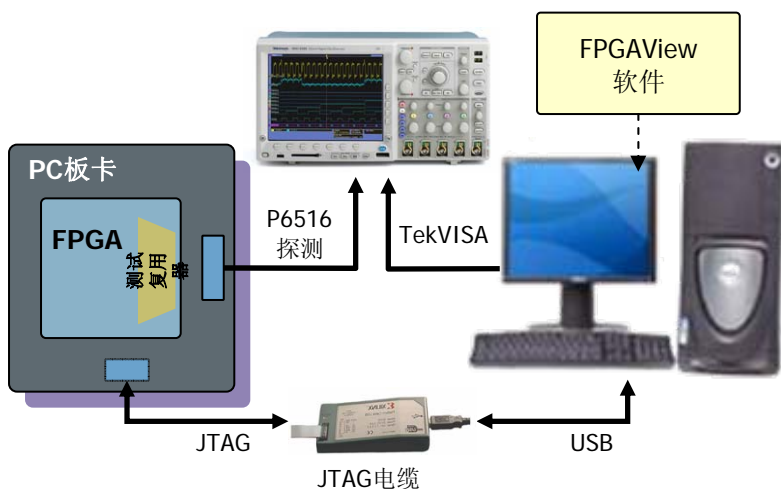
概述

■ FPGAVIEW™

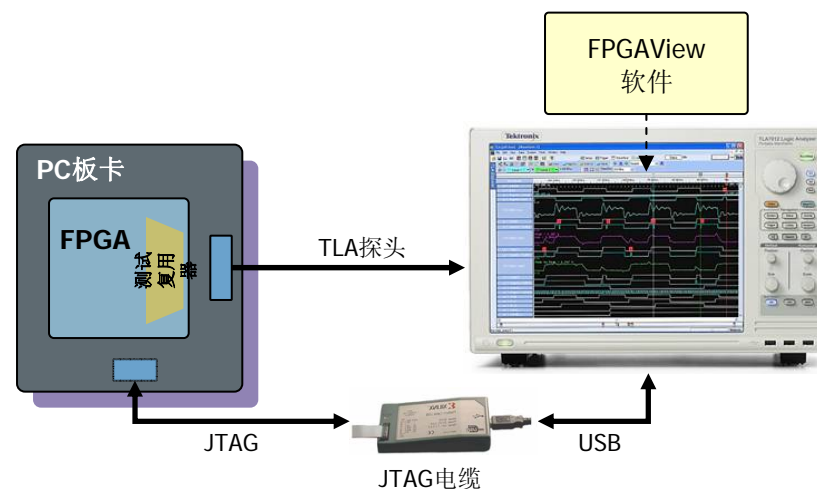
- 支持Xilinx和Altera FPGA设备
- 由First Silicon Solutions (www.fs2.com)开发的软件包
- 在Windows 2000和Windows XP机器上运行

功能	解决方案
复用器	Xilinx: FS2 TestCore Altera: Quartus® II v5.1
控制软件	FS2 FPGAVIEW™
测试设备	MSO4000混合信号示波器或 TLA系列逻辑分析仪 (>v4.3)
JTAG 电缆	Xilinx: Platform Cable USB及其它 Altera: USB-Blaster™或ByteBlaster™

▶ 混合信号示波器

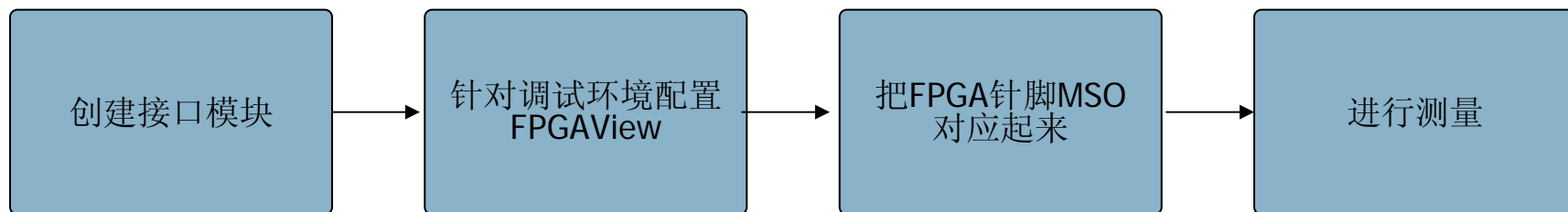


▶ 逻辑分析仪



使用FPGAView

4个简便的步骤



- 第1步 – 创建逻辑分析仪接口模块
- 第2步 – 针对调试环境配置FPGAView
- 第3步 – 把FPGA针脚与MSO对应起来
- 第4步 – 进行测量

使用FPGAView

第1步 – 创建和插入接口模块

- **Altera**

- 使用Altera Quartus II逻辑分析仪接口编辑器，定义和插入逻辑分析仪接口
- 在所有版本的Quartus II中提供，包括免费的Web版本

- **Xilinx**

- 使用FS2芯片仪器发生器(OCIGEN)，定义并把测试核心插入设计中

使用FPGAView

第1步 – 创建和插入接口模块

■ Altera

- 使用Quartus II逻辑分析仪接口编辑器定义测试核心参数

指定调试引脚数量

指定组数

指定模式

指定时钟
(如果使用State Mode)

Instance	Status	Incremental Compilation	LEs: 311
timer_lai	Not connected	<input type="checkbox"/>	164 cells
pwm_lai	Not connected	<input type="checkbox"/>	147 cells

Core Parameters

Pin count: 16

Bank count: 4

Output/Capture mode: Combinational/Timing

Clock:

Power-up state: Bank 0 - "State"

使用FPGAView

第1步 – 创建和插入接口模块

■ Altera

- 使用Node Finder选择信号， 指配组

The screenshot shows the Altera IDE interface. On the left, the 'Logical View' displays a block diagram with 'Core Parameters' and 'Pins' sections. The 'Pins' section lists 'State' (15/16), 'BCD' (16/16), 'IO' (16/16), and 'Dec' (14/16). A callout box labeled 'All Banks' points to the 'State' pin, indicating a total of 61/64 pins. On the right, the 'Setup View' for 'Bank 0 - "State"' displays a table of nodes.

Pin Index	Type	Alias	Node Name
0			CONTROL:Control_!State[2]
1			CONTROL:Control_!State[1]
2			CONTROL:Control_!State[0]
3			⊥
4			CONTROL:Control_!Mode
5			CONTROL:Control_!Start
6			CONTROL:Control_!Load
7			CONTROL:Control_!inc_index
8			CONTROL:Control_!Expired
9			CONTROL:Control_!Blink
10			CONTROL:Control_!Buzz
11			CONTROL:Control_!Clear
12			CONTROL:Control_!alarm_st
13			Clk
14			CLKDIV:TickerTick05s
15			CLKDIV:TickerTick_ms

The screenshot shows the 'Node Finder' dialog box. The 'Look in:' field is set to 'timer_top'. The 'Nodes Found:' list contains various signals, including 'Buzz', 'Clk', 'debugMode', 'debugModeR', 'debugModeR1', 'debugModeR2', 'debugModeR2~0', 'DIGIT', 'DIGIT[1]', 'DIGIT[2]', 'DIGIT[3]', 'DIGIT[4]', 'DIGIT~0', 'DIGIT~1', 'DIGIT~2', 'DP', 'DP2', 'led', and 'led[0]'. The 'Selected Nodes:' list contains 'timer_topdebugModeR1', 'timer_topdebugModeR2', 'timer_topdebugModeR2~0', and 'timer_topDIGIT'. The 'Filter:' field is set to 'SignalTap II: pre-'. The 'Include subtentities' checkbox is checked. The 'List' button is highlighted.

使用FPGAView

第1步 – 创建和插入接口模块

■ Xilinx

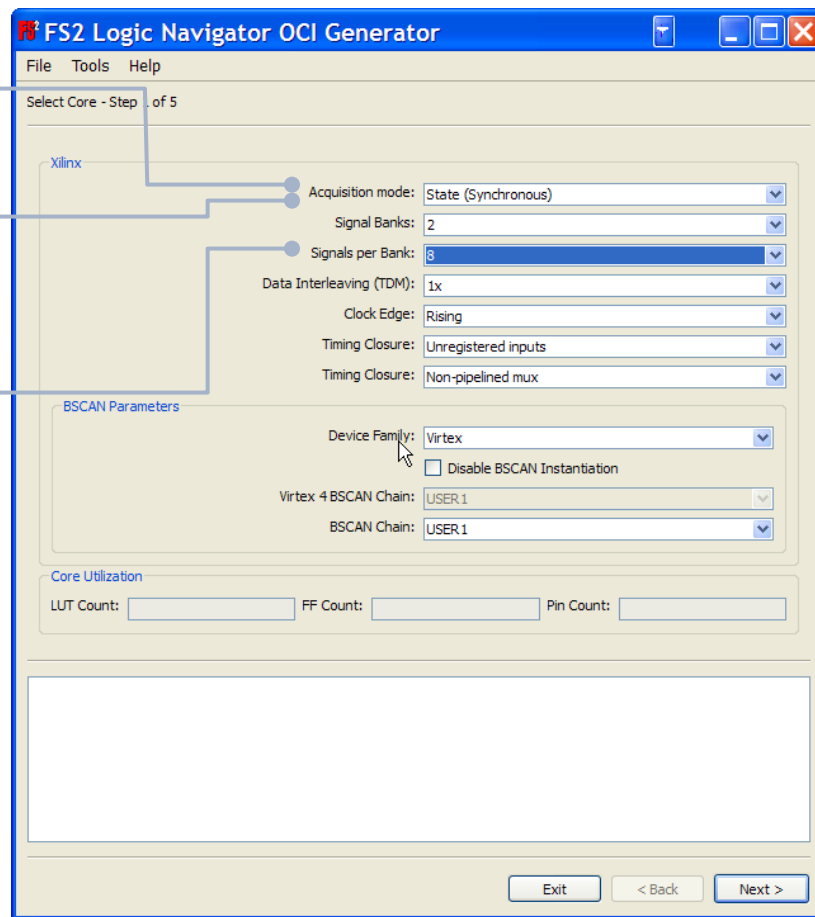
- 使用FS2芯片仪器发生器(OCI Gen)定义测试核心参数

指定模式

指定组数

指定调试引脚数量

- 可以选择插入通过**JTAG**接口
设置/读取的通用**IO**寄存器
- 在**HDL**代码中插入核心

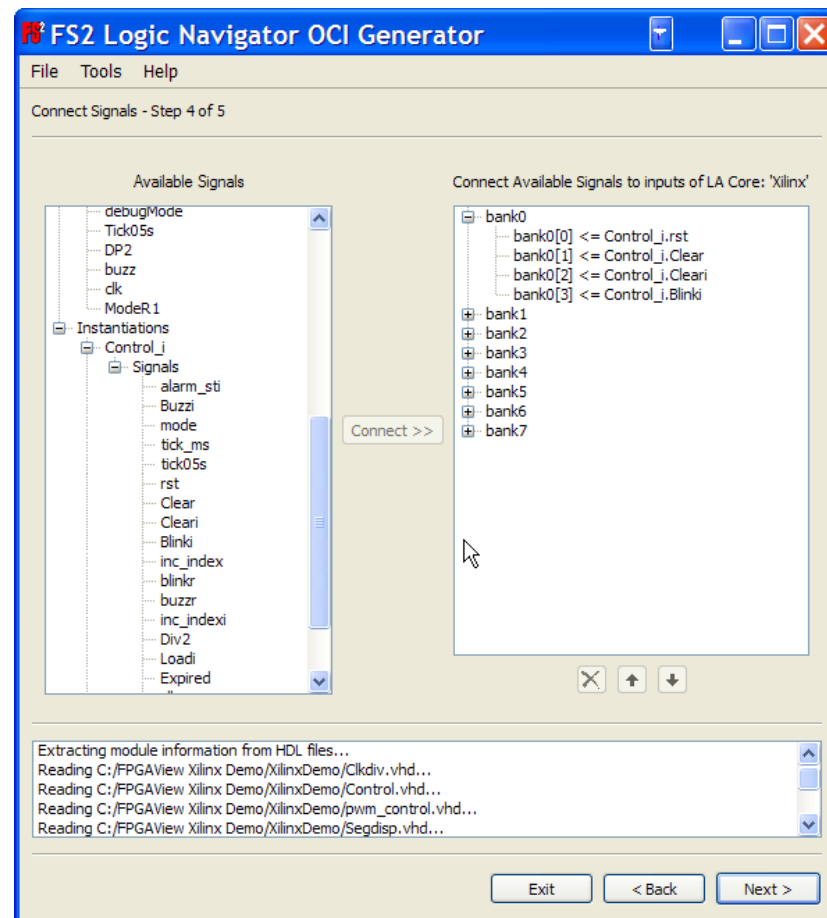


使用FPGAView

第1步 – 创建和插入接口模块

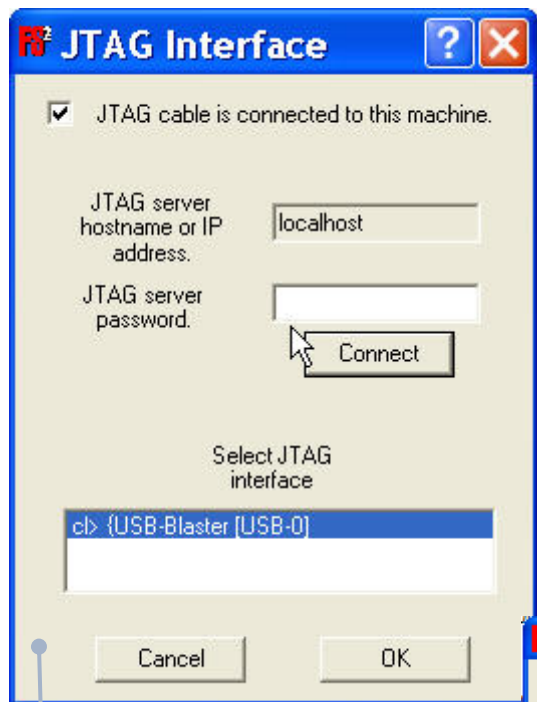
■ Xilinx

- 选择要探测的信号

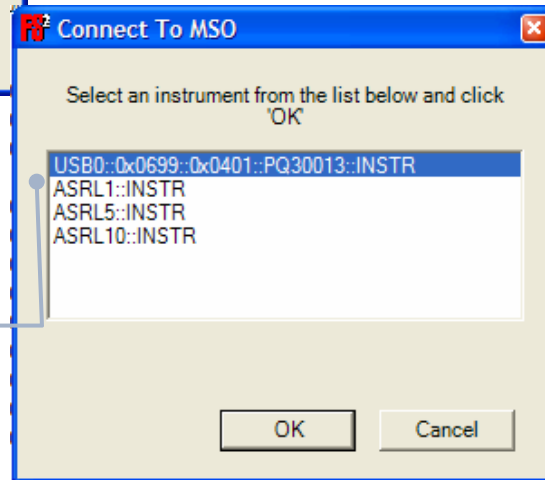


使用FPGAView

第2步 – 配置FPGAView通信



指定JTAG接口

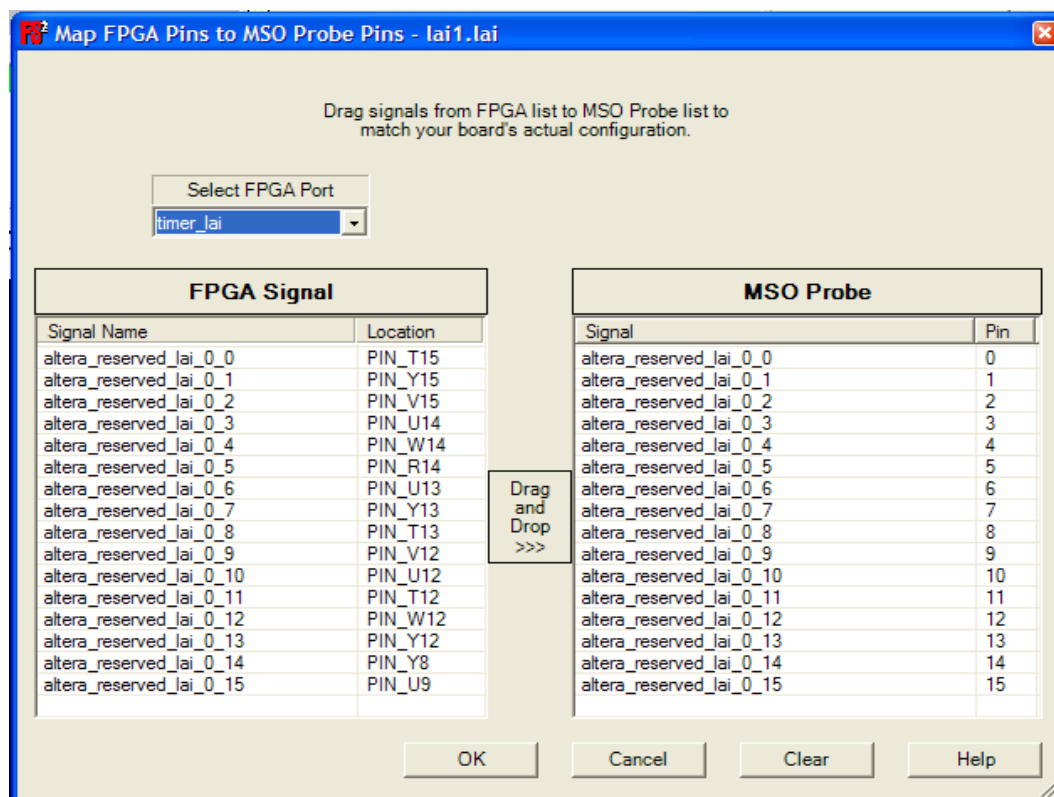


指定MSO接口

使用FPGAView

第3步 – 把FPGA针脚与MSO对应起来

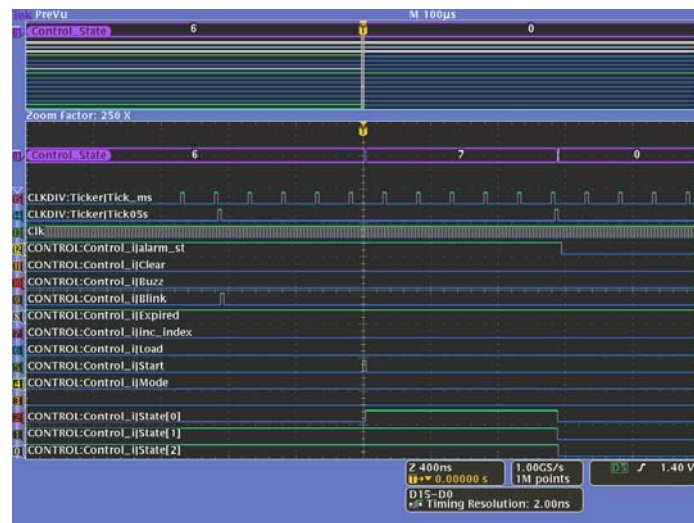
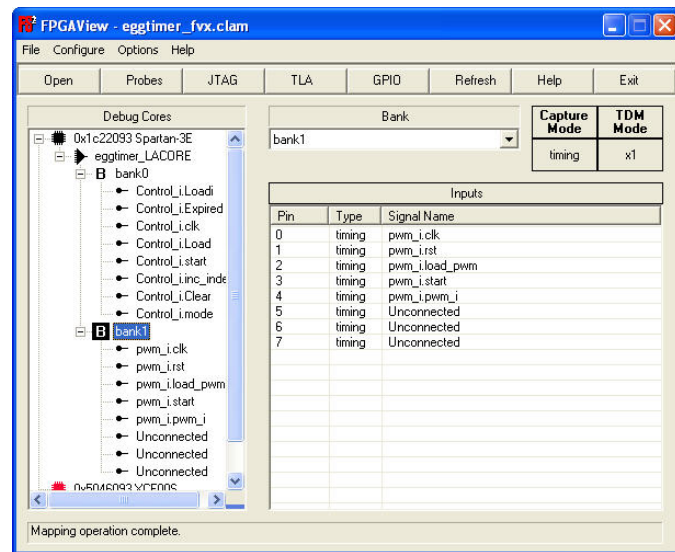
- 使用FPGAView把FPGA针脚“连接”到外部测试设备上
 - 自动更新通道名称
 - 拖放操作
 - 支持多个测试核心/FPGA



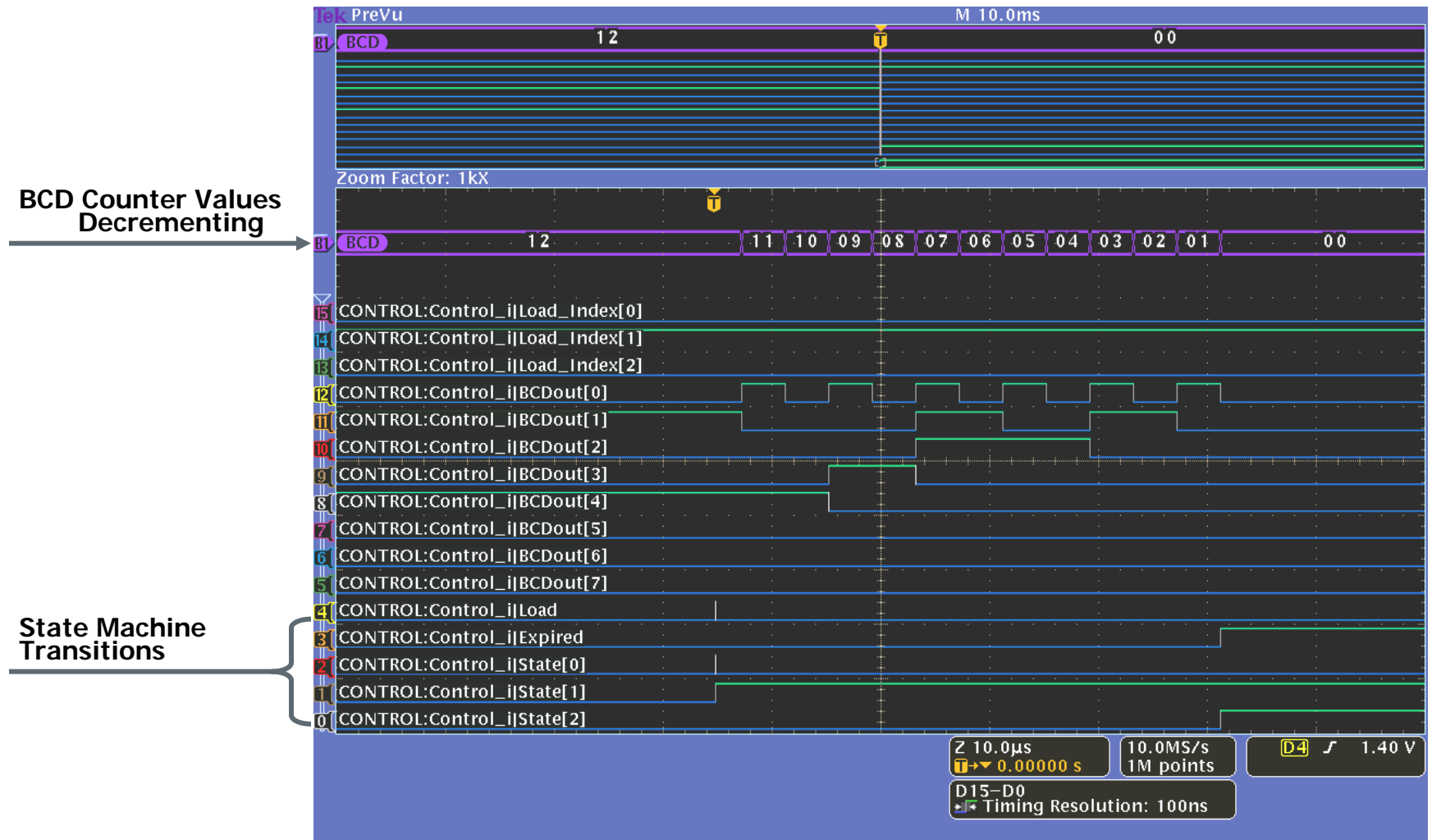
使用FPGAView

第4步 – 进行测量

- 使用Bank下拉列表，选择要测量的Bank
 - 在选择后，FPGAView通过JTAG设置测试核心
 - 使用相应的信号名称对MSO编程
 - 可以简便地理解测量结果
- 通过选择不同的Bank，简便地切换内部测试点
 - 不需要编译
- 把FPGA信号与设计其它信号关联起来



进行测量



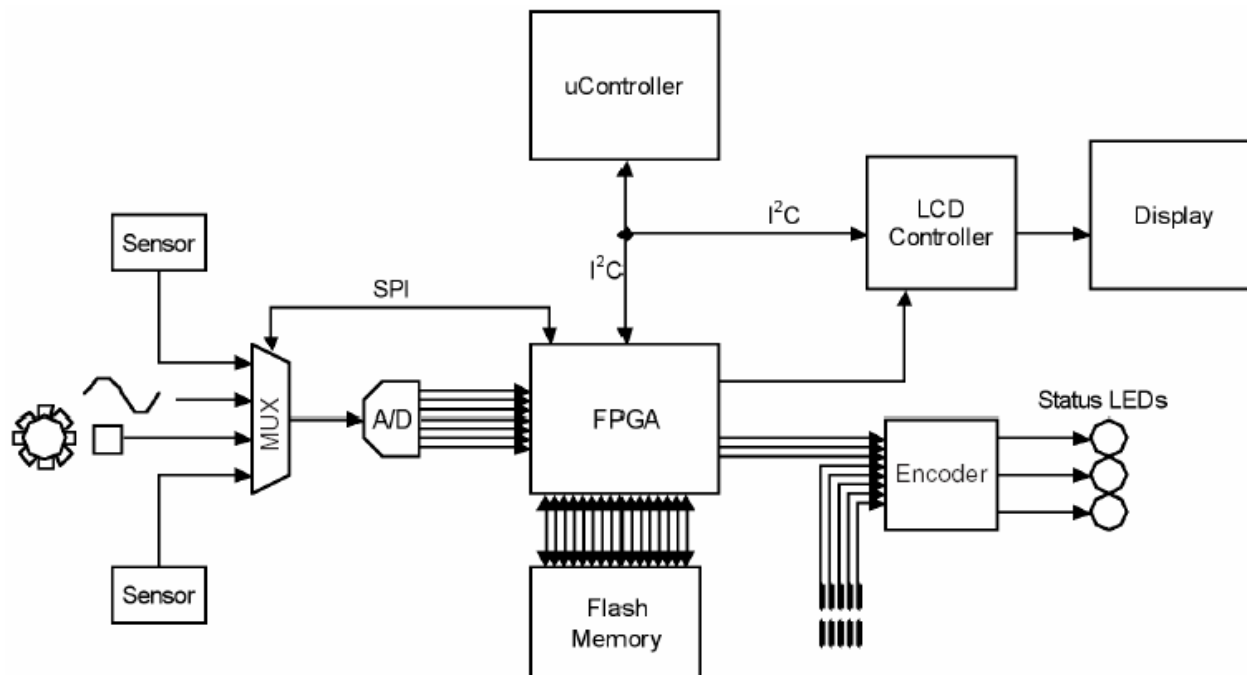
小结

- 缩短调试和验证时间
 - 选择适当的FPGA调试方法可以缩短调试和验证时间
- 了解问题所在
 - 嵌入式逻辑分析仪和外部测试设备各有优缺点
- **FPGAView**消除了外部测试设备的大部分问题
 - 可以实时调试Xilinx和Altera FPGA
 - 适用于设计Xilinx和Altera FPGA的研发工程师
 - 允许设计团队查看Xilinx或Altera FPGA设计的内部运行情况
 - 允许把这些信号与其它板卡信号关联起来
 - 提高工作效率，缩短调试时间
 - 随时切换内部测试点，不需要编译
 - 每个调试引脚调试多个内部信号
 - 与其它调试方法相比，使用更简便，插入性更低！

调试实例：利用MS04000调试数字温控器电路

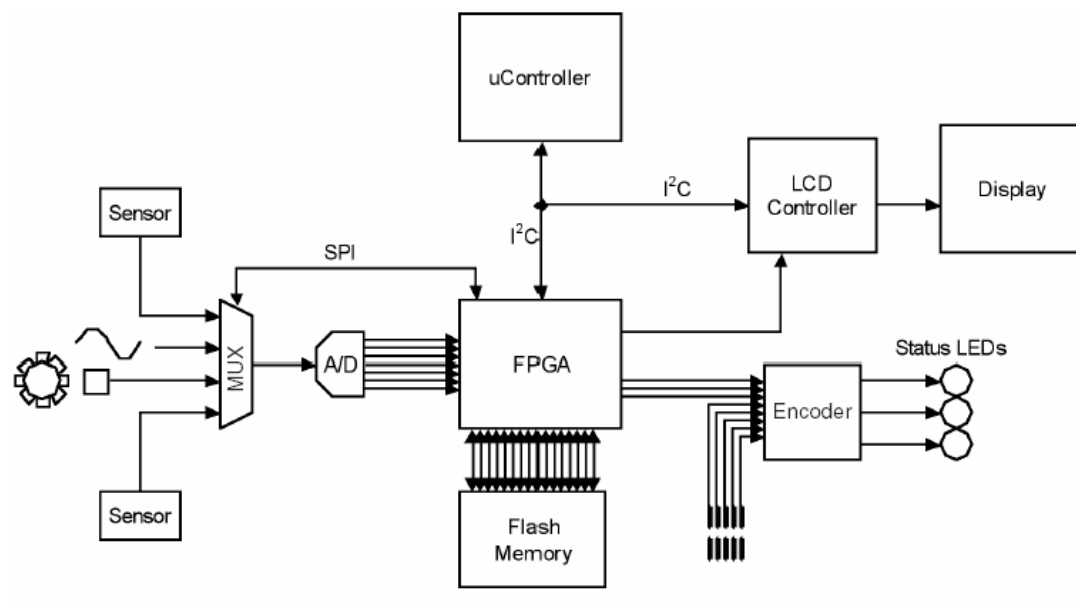
- 如下图, 工程师可能需要在同一个系统主板上, 解码两个IC间的SPI数据, 并且同时观察ADC的输入和输出
- 常见的串行总线中有许多需要三条以上的线路, 工程师需要具备同时解码和显示多条串行数据流, 以及观察其时间相关性

数字式温度控制器



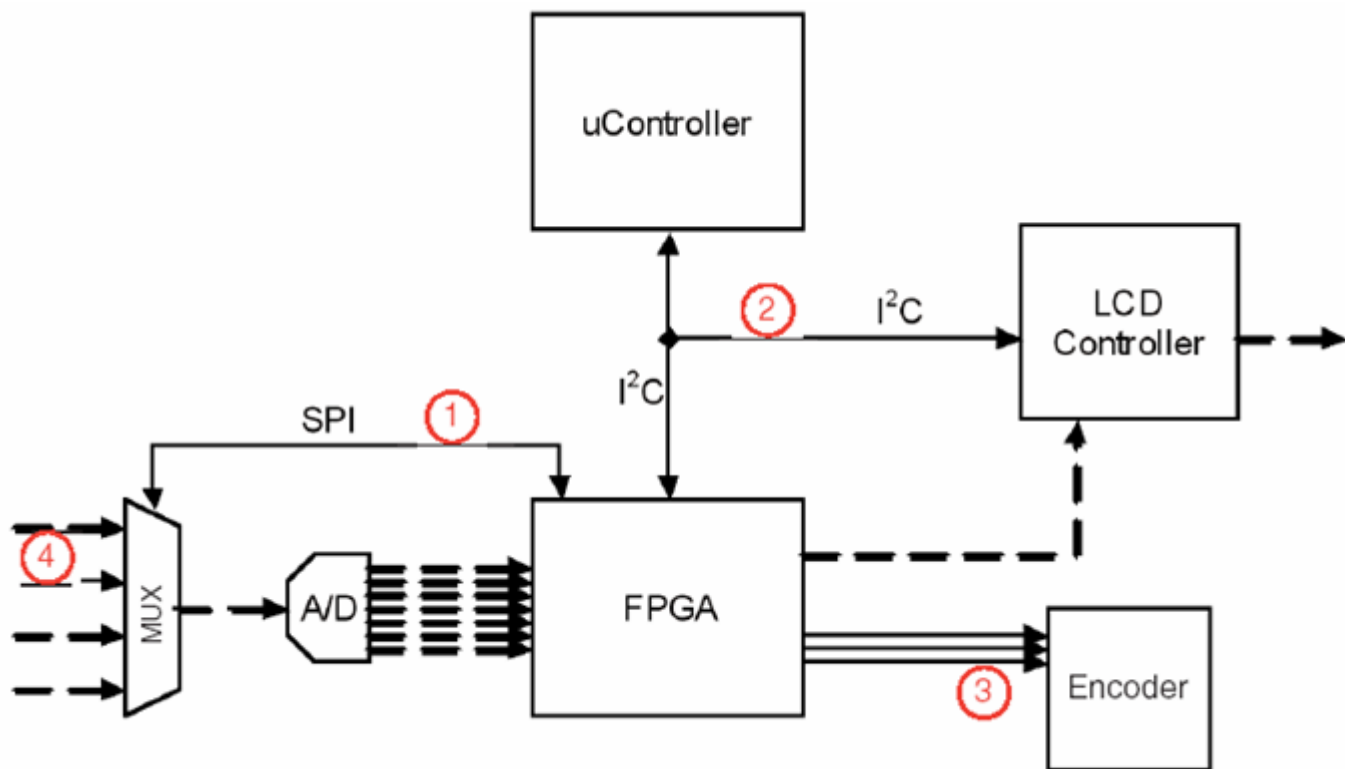
调试实例：利用MS04000调试数字温控器

- 问题： LED显示间歇性不正常
 - 状态LED模糊不明的错误报告让系统工程师无法确认问题是和硬件或软件有关
 - 怀疑错误可能来自MUX输入以外, 因此决定检测通往MUX的模拟输入以及多条数据总线, 以进行整个系统的监控



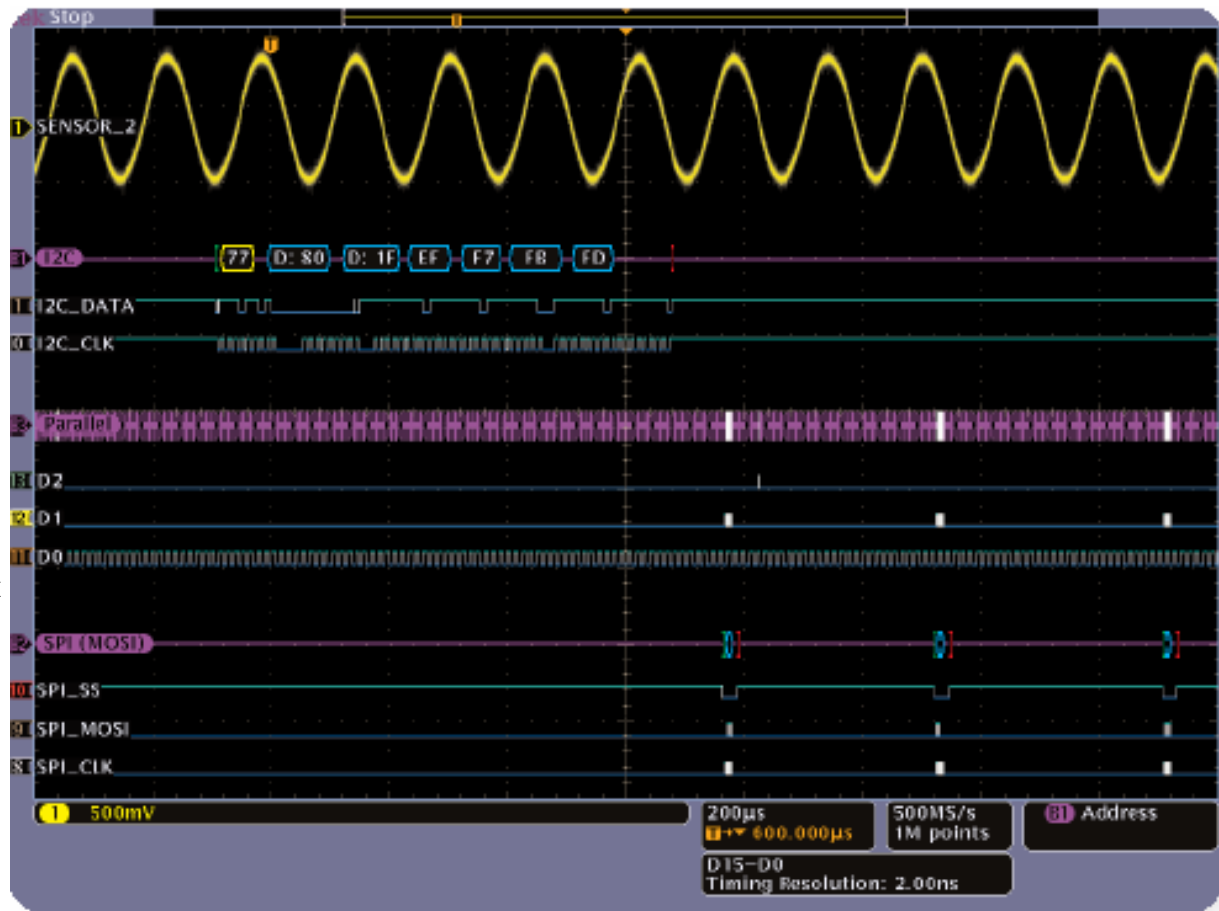
调试实例：利用MSO4000调试数字温控器

- 利用MSO4000的4个模拟通道和16个数字通道连接如下图中标识为1至4的信号



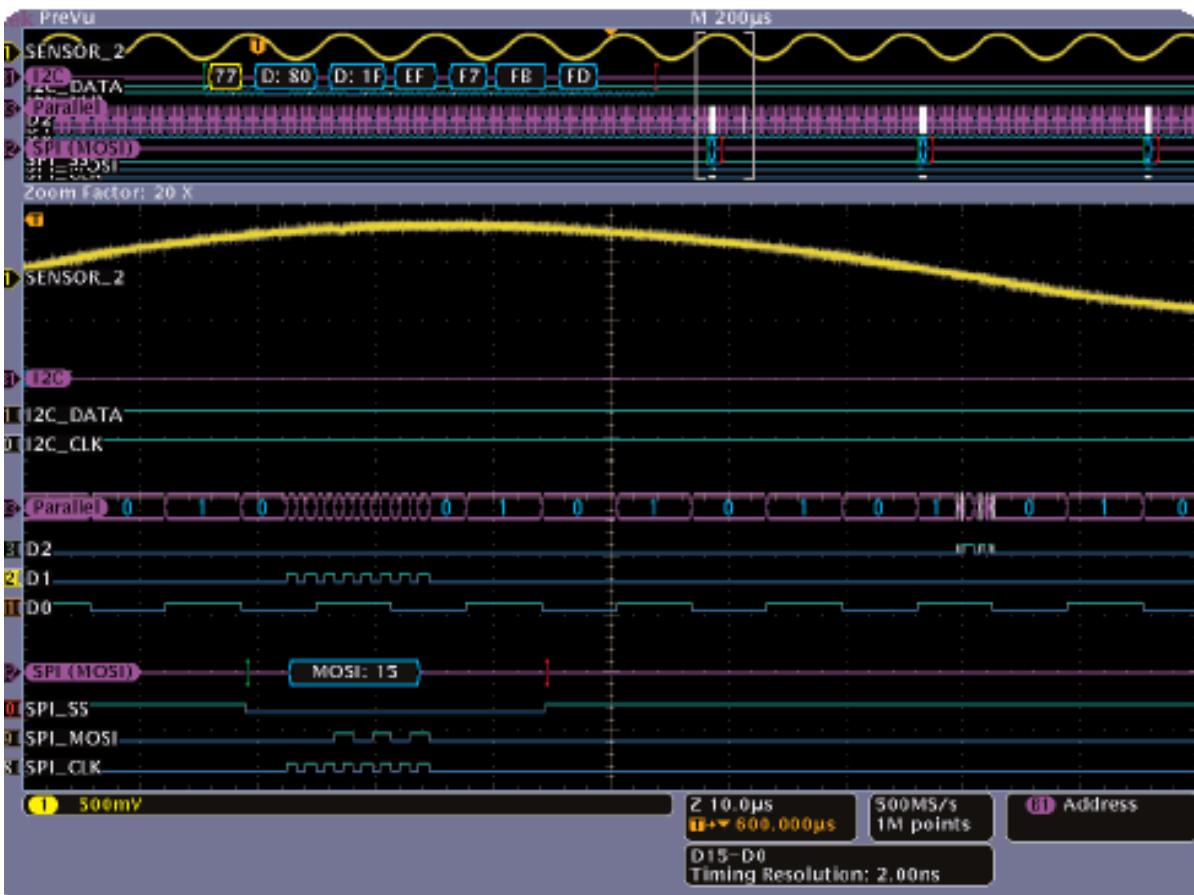
调试实例：利用MSO4000调试数字温控器

- 图中显示MSO4000同时探测SPI总线(1)、I²C总线(2)、3比特并行总线(3)和模拟输入(4)
- CH1上的MUX输入处显示的纯净模拟信号排除了硬件错误
- 通过对I²C的触发及解码，发现SPI上数据状况，以及I²C数据传送后随即出现的标识为D1和D2的信号
- 这些数据的状况受到了怀疑，因为执行的功能应与LCD控制器有关
- 通过对I²C的解码发现微处理器将I²C数据写入地址0X77, 0X77是FPGA地址，但子程序应该将数据写入地址0X76，这是LCD控制器的地址



调试实例：利用MSO4000调试数字温控器

- 使用Wave Inspector放大SPI和并行总线数据的细节
- SPI数据在屏幕上解码为从主控FPGA将数据0X15写入从属MUX，这个SPI命令只是输入MUX变更其用作信号路径输入，输入信号中非预期的改变导致FPGA将错误的代码送至并行总线状态上的LED
- 信号D2上的活动显示错误代码和并行数据解码同样可在此图上看到



- ▶ MSO4000可以同时监测和解码所有你感兴趣的信号
- ▶ 很快就能判断系统中的故障是由软件错误造成

谢谢参与！

请联络泰克和泰克合作伙伴安排演示/试用：

泰克科技（中国）有限公司

北京：010-62351210

深圳：0755-82460909

成都：028-86203028

武汉：027-87812760

上海：021-62896908

广州：020-87322008

西安：029-87231794

香港：852-25856688

E-Mail: china.mktg@tektronix.com

Tektronix[®]